

BEST AVAILABLE COPY

Semiconductor devicePatent Number: ☐ US2001052601

Publication date: 2001-12-20

Inventor(s): SATO TAKAHIRO (JP); IWAMOTO SUSUMU (JP); ONISHI YASUHIKO (JP); FUJIHIRA TATSUHIKO (JP)

Applicant(s):

Requested Patent: ☐ JP2001313391Application
Number: US20010845747 20010501

Priority Number(s): JP20000132252 20000501

IPC Classification: H01L31/111

EC Classification:

Equivalents:

Abstract

A semiconductor device facilitates preventing hot carriers from being injected into the insulation film so that the characteristics and the reliability of the active region thereof may not be impaired. The device includes an alternating-conductivity-type drain including heavily doped p-type breakdown voltage limiter regions in the portions of p-type partition regions in contact with the well bottoms of p-type base regions. Since the electric field in the central portion of breakdown voltage limiter regions reaches the critical value in advance to the electric field at the points E beneath gate insulation films the electric field at the points E is relaxed and hot carrier injection into gate insulation films is prevented

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313391

(P2001-313391A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 C 4 M 1 0 4
			6 5 2 F
			6 5 2 H
	6 5 4		6 5 4 Z
29/06		29/06	

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-132252 (P2000-132252)

(22) 出願日 平成12年5月1日 (2000.5.1)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 大西 泰彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100089945

弁理士 山田 稔

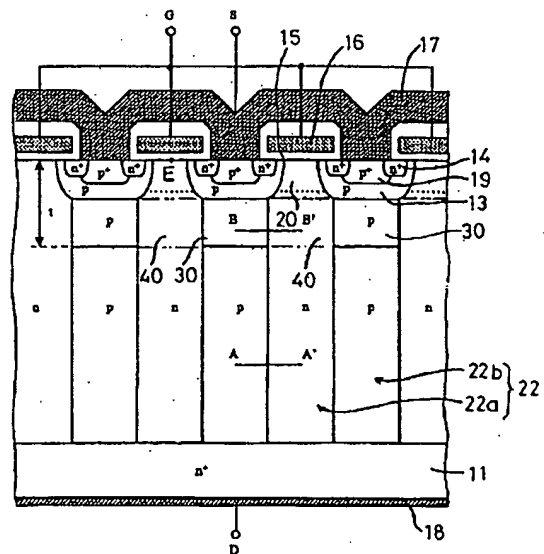
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ホットキャリアの絶縁膜への注入を抑制でき、素子活性領域の特性及び信頼性を損ねない超接合半導体装置の提供。

【解決手段】 並列 p n 構造のドレイン・ドリフト部 22 を備えた超接合半導体装置において、p 型の仕切領域 22 b のうち、p ベース領域 13 のウェル底面には不純物濃度が高い p 型の耐圧リミッタ領域 30 が形成されている。オフ状態において、耐圧リミッタ領域 30 の中央部分でゲート絶縁膜直下の E 点よりも先に臨界電圧に達するため、E 点での表面電界が緩和され、ホットキャリアのゲート絶縁膜への注入が抑制される。



【特許請求の範囲】

【請求項1】 基板の第1主面側に形成された素子活性領域に電氣的に接続する第1の電極と、前記基板の第1主面と第2主面との間に形成された第1導電型の低抵抗層に電氣的に接続する第2の電極と、前記素子活性領域と前記低抵抗層との間に介在し、オン状態でドリフト電流を流すと共にオフ状態で空乏化するドリフト部が、第1導電型のドリフト電路領域と第2導電型の仕切領域とを交互に繰り返して接合して成る並列pn構造部となった半導体装置において、

前記並列pn構造部は、前記素子活性領域の第1主面側よりも先に臨界電界強度に達する第2導電型の耐圧リミット領域を有して成ることを特徴とする半導体装置。

【請求項2】 請求項1において、前記耐圧リミット領域は前記仕切領域に形成された第2導電型領域であることを特徴する半導体装置。

【請求項3】 請求項2において、前記耐圧リミット領域の不純物量は当該耐圧リミット領域に相接合する前記ドリフト電路領域の逆導電型領域の不純物量に比し高いことを特徴する半導体装置。

【請求項4】 請求項3において、前記耐圧リミット領域の不純濃度は前記逆導電型領域の不純濃度に比し高いことを特徴とする半導体装置。

【請求項5】 請求項3において、前記耐圧リミット領域の領域幅は前記逆導電型領域の領域幅に比し大きいことを特徴とする半導体装置。

【請求項6】 請求項1乃至請求項5のいずれか一項において、前記並列pn構造部は、前記ドリフト電路領域と前記仕切領域とが平面的にストライプ状の重層構造であることを特徴とする半導体装置。

【請求項7】 請求項1乃至請求項5のいずれか一項において、前記並列pn構造部は、前記ドリフト電路領域と前記仕切領域とが柱状又は壁状であって、平面的に格子点状又は蜂の巣状に配置されてなることを特徴とする半導体装置。

【請求項8】 請求項1乃至請求項7のいずれか一項において、前記素子活性領域は二重拡散MOSFET部であることを特徴する半導体装置。

【請求項9】 請求項1乃至請求項8のいずれか一項において、前記ドリフト電路領域と前記仕切領域とが縦層であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（伝導度変調型MOSFET）、バイポーラトランジスタ、ダイオード等に適用可能で高耐圧化と大電流量化が両立するパワー半導体装置に関する。

【0002】

【従来の技術】 一般に半導体装置は、片面に電極部を持

つ横形素子と、両面に電極部を持つ縦形素子とに大別できる。縦形素子は、オン時にドリフト電流が流れる方向と、オフ時に逆バイアス電圧による空乏層が延びる方向とが共に基板の厚み方向（縦方向）である。例えば、図14は通常のプレーナ型のnチャネル縦形MOSFET（縦形二重拡散MOSFET）の断面図である。この縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn⁺ドレイン層11の上に形成された高抵抗のn⁻ドレイン・ドリフト層12と、このドリフト層12の表面層に選択的に形成されたpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された高不純物濃度のn⁺ソース領域14及び高不純物濃度のp⁺コンタクト領域19と、pベース領域13のうちn⁺ソース領域14とドリフト層12とに挟まれた表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、n⁺ソース領域14及びp⁺コンタクト領域19の表面に跨って導電接触するソース電極17とを有している。

【0003】このような縦形素子において、高抵抗のn⁻ドレイン・ドリフト層12の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状態のときは逆バイアスとなるため、pベース領域13とのpn接合から空乏層が拡張して空乏化し耐圧を高める働きをする。この高抵抗のn⁻ドレイン・ドリフト層12の厚さ（電流経路長）を薄くすることは、オン状態ではドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレインソース抵抗）を下げる効果に繋がるものの、オフ状態ではpベース領域13とn⁻ドレイン・ドリフト層12との間のpn接合から拡張するドレインベース間空乏層の拡張幅が狭くなるため、空乏電界強度がシリコンの最大（臨界）電界強度に速く達するので、ブレイクダウンが生じ、耐圧（ドレインソース電圧）が低下してしまう。逆に、n⁻ドレイン・ドリフト層12を厚く形成すると、高耐圧化を図ることができるが、必然的にオン抵抗が大きくなり、オン損失が増す。即ち、オン抵抗（電流容量）と耐圧との間にはトレードオフ関係がある。この関係は、ドリフト層を持つIGBT、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。

【0004】この問題に対する解決法として、縦形ドリフト部として不純物濃度を高めたn型の領域とp型の領域とを交互に繰り返して多重接合した並列pn構造である半導体装置が、EP0053854、USP5216275、USP5438215、特開平9-266311、特開平10-223896などにおいて知られている。

【0005】図15は、USP5216275に開示された縦形MOSFETの一例を示す部分断面図である。図14との構造上の違いは、ドレイン・ドリフト部22

が一樣・単一の導電型層（不純物拡散層）ではなく、縦形層状のn型のドリフト電路領域22aと縦形層状のp型の仕切領域22bとを交互に繰り返して接合した並列pn構造となっている点にある。並列pn構造の不純物濃度が高くて、オフ状態では並列pn構造の縦方向に配向する各pn接合から空乏層がその横方向双方に拡張し、ドリフト部22全体が空乏化し、確実に厚い空乏層を得ることができるため、高耐圧化を図ることができる。なお、本明細書では、このような並列pn構造のドレイン部22を備える半導体素子を超接合半導体装置と称することとする。

【0006】

【発明が解決しようとする課題】上記のような超接合半導体装置にあっては、表層部分に形成された複数のpベース領域13（素子活性領域）の真下にある並列pn構造のドレイン・ドリフト部22によって更なる高耐圧化を期待できるものの、別の新たな問題が顕在化する。即ち、オン状態からオフ状態に移行する過渡期では、pベース領域13のウェル曲率によりゲート絶縁膜15直下に強電界が残り易いものであるが、超接合半導体装置では、pベース領域13とドリフト電路領域22aの接合面から空乏層が広がる外、並列pn構造のドリフト電路領域22aにも空乏層が速く拡がり、瞬間的なピンチ効果が働くため、ドリフト電路領域22a内のキャリアの吐き出し勢が増し、ゲート絶縁膜15に対するホットキャリアの注入度合いが増す。このため、ゲート絶縁膜15の劣化による閾値電圧の低下等を惹き起こし、素子活性領域の特性や信頼性を損なう虞れがある。

【0007】超接合半導体装置でない従来型の半導体装置では、pベース領域13側から低抵抗層11へかけて空乏層が順に広がるため、ゲート絶縁膜15からキャリアを引き離すように作用するものであるが、超接合半導体装置では、一挙に並列pn構造に空乏層が拡張されるため、蓄積キャリアの逃げ場がなく、むしろ吐き出されたキャリアがゲート絶縁膜15直下の強電界に遭遇し、ホットキャリアとしてゲート絶縁膜15へ注入する虞れがある。pベース領域13を低濃度化すると、その近傍での空乏層の拡張速度が速くなるが、閾値電圧に直接影響してしまう。

【0008】このような問題は、縦形二重拡散MOSFETに限らず、縦形IGBT、縦形バイポーラトランジスタ、縦形ダイオード等のように、素子活性領域の上に絶縁膜を有する超接合半導体装置一般について言えることである。

【0009】そこで、上記問題点に鑑み、本発明の課題は、ホットキャリアの絶縁膜への注入を抑制でき、素子活性領域の特性及び信頼性を損ねない超接合半導体装置を提供することにある。

【0010】

【課題を解決するための手段】本発明の講じた手段は、

絶縁膜直下に強電界部分を発生させないために、素子活性領域以外の部分を犠牲的な強（最大）電界発生部位とした点にある。

【0011】即ち、本発明は、基板の第1主面側に形成された素子活性領域に電気的に接続する第1の電極と、基板の第1主面と第2主面との間に形成された第1導電型の低抵抗層に電気的に接続する第2の電極と、素子活性領域と低抵抗層との間に介在し、オン状態でドリフト電流を流すと共にオフ状態で空乏化するドリフト部が、第1導電型のドリフト電路領域と第2導電型の仕切領域とを交互に繰り返して接合して成る並列pn構造部となった半導体装置（超接合半導体装置）において、並列pn構造部が、素子活性領域の第1主面側よりも先に臨界電界強度に達する第2導電型の耐圧リミット領域を有して成ることを特徴する。

【0012】第1主面直下よりも耐圧リミット領域の方が先に臨界電界強度に達し、ブレイクダウンを惹き起こすので、第1主面直下では強電界とならず、ホットキャリアの第1主面上の絶縁膜への注入を抑制でき、高耐圧化と大電流量化の期待できる超接合半導体装置でありながら、素子活性領域の特性や信頼性を持続できる。

【0013】耐圧リミット領域はドリフト電路領域に形成した第1導電型領域でも構わないが、主面から離れているとは言え、ブレイクダウンにより生成されたホットキャリアが第1主面に衝突する虞れがあるので、仕切領域に形成するのが適切である。この耐圧リミット領域は仕切領域のうち素子活性領域の近傍位置でも、また素子活性領域から離れた位置にあっても差支えない。

【0014】具体的に、耐圧リミット領域はその領域幅と不純物濃度との積である不純物量で規定することができ、耐圧リミット領域の不純物量は当該耐圧リミット領域に相接合するドリフト電路領域の逆導電型領域の不純物量に比し高く設定する。

【0015】耐圧リミット領域と逆導電型領域の領域幅が等しい場合、耐圧リミット領域の不純濃度を逆導電型領域の不純濃度に比し高く設定すると、耐圧は低下するものの、オン抵抗の増大を招かずに済む。なお、この耐圧の低下は並列pn構造の採用による耐圧の大幅向上において生じる相対的な減分に過ぎないため、並列pn構造を採用しない従来半導体装置に比し高耐圧であることは言うまでもない。不純物濃度が等しい場合、耐圧リミット領域の領域幅を逆導電型領域の領域幅に比し大きく設定すると、相対的にドリフト電路領域の一部が狭窄化するので、オン抵抗の増大を招く。ただ、この耐圧リミット領域を設けることによるオン抵抗の増大は並列pn構造の採用による低オン抵抗化において生じる相対的な増分に過ぎないため、並列pn構造を採用しない従来半導体装置に比し低オン抵抗であることは保証される。更に、耐圧リミット領域の不純濃度を逆導電型領域の不純濃度に比し高くする共に、耐圧リミット領域の領

域幅を逆導電型領域の領域幅に比し大きく設定すると、オン抵抗の増大を幾分緩和できる。

【0016】なお、並列pn構造としては、ドリフト電路領域と仕切領域とが縦層であって、平面的にストライプ状の重層構造や、ドリフト電路領域と仕切領域とが柱状又は壁状であって、平面的に格子点状又は蜂の巣状に配置されてなるものである。

【0017】素子活性領域としては、二重拡散MOSFET部、ダイオード接合部、バイポーラトランジスタ構造等である。

【0018】

【発明の実施の形態】以下に本発明の実施例を添付図面に基づいて説明する。なお、以下でn又はpを冠記した層や領域は、それぞれ電子又は正孔を多数キャリアとする層や領域を意味する。また、上付き文字+は比較的高不純物濃度、上付き文字-は比較的低不純物濃度を意味する。

【0019】〔実施例1〕図1は本発明の実施例1に係る縦形MOSFETを示す断面図である。なお、図1において図15に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0020】本例のnチャンネル縦形MOSFETは、裏側のドレイン電極18が導電接触した低抵抗のn⁺ドレイン層（コンタクト層）11の上に形成された並列pn構造のドレイン・ドリフト部22と、このドリフト部22の表面層に選択的に形成された素子活性領域たる高不純物濃度のpベース領域（pウェル）13と、そのpベース領域13内の表面側に選択的に形成された高不純物濃度のn⁺ソース領域14及び高不純物濃度のp⁺コンタクト領域19と、基板表面上にゲート絶縁膜15を介して設けられたポリシリコン等のゲート電極層16と、層間絶縁膜19aに開けたコンタクト孔を介してpベース領域13a及びn⁺ソース領域14に跨って導電接触するソース電極17とを有している。ウェル状のpベース領域13の中にn⁺ソース領域14が浅く形成されており、2重拡散型MOS部を構成している。なお、図示しない部分でゲート電極層16の上に金属膜のゲート配線が導電接触している。

【0021】本例の並列pn構造のドレイン・ドリフト部22は、n⁺ドレイン層11のサブストレートの上にn型のエピタキシャル成長層を幾層も積み増した厚い積層として形成されており、基板の厚み方向に層状縦形のn型ドリフト電路領域22aと基板の厚み方向に層状縦形のp型仕切領域22bとを交互に繰り返して接合し、縦形ドリフト電路領域22aと縦形仕切領域22bとが縦層であって、平面的にストライプ状の重層構造である。本例では、n型ドリフト電路領域22aとp型仕切領域22bの不純物濃度は等しく、また領域幅も略等しくなるように設定してある。なお、並列pn構造は本例の構造に限らず、縦形ドリフト電路領域と縦形仕切領域

とが柱状又は壁状であって、平面的に格子点状又は蜂の巣状に配置されてなるものでも良い。

【0022】本例では、n型のドリフト電路領域22aは、その上端が絶縁膜15直下のチャネル領域（ウェル狭間）20に連絡し、その下端がn⁺ドレイン層11に接している。また、p型の仕切領域22bは、その上端がpベース領域13のウェル底面に接し、その下端がn⁺ドレイン層11に接している。

【0023】p型の仕切領域22bのうち、pベース領域13のウェル底面にはp型の耐圧リミット領域30が形成されている。本例ではこの耐圧リミット領域30の下レベルは基板表面から深さt=10μmの位置にある。耐圧リミット領域30の不純物濃度は、その余のp型の仕切領域22bの不純物濃度よりも高く、従って、当該耐圧リミット領域30に相接合するドリフト電路領域22aの相当領域たる逆導電型領域40の不純物濃度よりも高い。図2は、図1中のA-A'線に沿う距離に対する不純物濃度分布（破線）とB-B'線に沿う距離に対する不純物濃度分布（実線）とを示すグラフである。前述したように、耐圧リミット領域30の不純物濃度は逆導電型領域40の不純物濃度よりも高くなっている。

【0024】図3は図1におけるゲート絶縁膜直下E点の電界強度と耐圧リミット領域30の不純物濃度との関係をシミュレーションしたグラフである。並列pn構造のピッチは16μmであり、各領域幅は深さ方向に略一様である。また、耐圧リミット領域30を除く並列pn構造の不純物濃度は $3 \times 10^{15} \text{ cm}^{-3}$ であり、並列pn構造の厚さは50μmである。図3から判るように、E点の電界は耐圧リミット領域30の不純物濃度を高濃度化する程緩和され、略 $7.0 \times 10^{15} \text{ cm}^{-3}$ で飽和する。これは、オフ状態において、不純物濃度が高い耐圧リミット領域30の中央部分でゲート絶縁膜直下のE点よりも先に臨界電圧に達するため、E点での表面電界が緩和されるからである。E点近傍ではブレイクダウンが起こり難くなり、ホットキャリアのゲート絶縁膜への注入が抑制され、このため、超接合半導体装置においても、素子活性の特性や信頼性を持続できる。

【0025】図4は本例の装置における耐圧（BV_{ds}）とオン抵抗（R_{on}・A）の耐圧リミット領域30の不純物濃度依存性を示すグラフである。耐圧リミット領域30で耐圧が律則するため、耐圧リミット領域30の不純物濃度の増加に従い、耐圧は低下するものの、オン抵抗はn型のドリフト電路領域22aの不純物濃度が変わらないので、略一定である。このように、耐圧の低下のみでゲート絶縁膜直下の電界を緩和できる。なお、この耐圧の低下は並列pn構造の採用による耐圧の向上において生じる相対的な減分に過ぎないため、並列pn構造を採用しない従来の半導体装置に比し高耐圧であることは保証される。

【0026】〔実施例2〕図5は本発明の実施例2に係る縦形MOSFETを示す断面図である。なお、図5において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0027】本例の実施例1と異なる点は、耐圧リミッタ領域130の不純物濃度はこれに接合する逆導電型領域140の不純物領域と略同じであるが、耐圧リミッタ領域130の領域幅 L_p を逆導電型領域140の領域幅 L_n よりも広くしたところにある。図6は、図5中のA-A'線に沿う距離に対する不純物濃度分布（破線）とC-C'線に沿う距離に対する不純物濃度分布（実線）とを示すグラフである。

【0028】かかる場合でも、オフ状態においては、領域幅が広い耐圧リミッタ領域130の中央部分では空乏化し難いため、ゲート絶縁膜直下のE点よりも先に臨界電圧に達し、E点での表面電界が緩和される。E点近傍ではブレークダウンが起こり難くなり、ホットキャリアのゲート絶縁膜への注入が抑制され、このため、超接合半導体装置においても、素子活性の特性や信頼性を持続できる。

【0029】図7は図5におけるゲート絶縁膜直下E点の電界強度と耐圧リミッタ領域130の領域幅 L_p との関係をシミュレーションしたグラフである。並列pn構造のピッチは $16\mu\text{m}$ 、不純物濃度は $3 \times 10^{15}\text{cm}^{-3}$ であり、並列pn構造の厚さは $50\mu\text{m}$ である。図7から判るように、耐圧リミッタ領域130の領域幅 L_p が仕切領域22bの領域幅（ $8\mu\text{m}$ ）ときは、E点の電界は $2.0 \times 10^5\text{V/cm}$ であるが、耐圧リミッタ領域130の領域幅 L_p の増加に従い緩和され、約 $11\mu\text{m}$ のとき、 $1.0 \times 10^5\text{V/cm}$ となり、半減する。実施例1のように、耐圧リミッタ領域30の不純物濃度を高める場合に比し、領域幅 L_p を増加させる方がE点の電界緩和の效果に優れている。図7中の範囲では領域幅 L_p の飽和点がない。

【0030】図8は本例の装置における耐圧（ BV_{ds} ）とオン抵抗（ $R_{on} \cdot A$ ）の耐圧リミッタ領域130の領域幅 L_p 依存性を示すグラフである。耐圧は領域幅 L_p の増加に従い線形に減少するが、逆に、オン抵抗は増加している。オン抵抗の増加は、耐圧リミッタ領域130の領域幅 L_p に伴い逆導電型領域140の領域幅 L_n が減少するため、n型ドリフト電路領域22aに狭窄部が生じ、この狭窄部の高抵抗化によりオン抵抗が増加するためである。図8から判るように、領域幅 L_p が約 $10\mu\text{m}$ を超えると、オン抵抗の増加が急峻になるため、耐圧リミッタ領域130の領域幅 L_p の拡幅率は25%以下に抑えることが望ましく、その分、耐圧リミッタ領域130の不純物濃度を高めることが適切である。勿論、狭窄部の高抵抗化を抑制するためには、逆導電型領域140の厚さ、即ち、耐圧リミッタ領域130の厚さも薄く形成するのが望ましい。

【0031】〔実施例3〕図9は本発明の実施例3に係る縦形MOSFETを示す断面図である。なお、図9において図5に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0032】本例の実施例2と異なる点は、耐圧リミッタ領域130'の不純物濃度はこれに接合する逆導電型領域140'の不純物領域よりも高くしたところにある。図10は、図9中のA-A'線に沿う距離に対する不純物濃度分布（破線）とD-D'線に沿う距離に対する不純物濃度分布（実線）とを示すグラフである。

【0033】かかる場合でも、オフ状態においては、不純物濃度が高くしかも領域幅が広い耐圧リミッタ領域130'の中央部分では空乏化し難いため、ゲート絶縁膜直下のE点よりも先に臨界電圧に達し、E点での表面電界が緩和される。E点近傍ではブレークダウンが起こり難くなり、ホットキャリアのゲート絶縁膜への注入が抑制され、このため、超接合半導体装置においても、素子活性の特性や信頼性を持続できる。

【0034】図11は図9におけるゲート絶縁膜直下E点の電界強度と耐圧リミッタ領域130'（基板表面から深さ $10\mu\text{m}$ までの領域）での単位面積当たりの不純物量（不純物濃度 \times 領域幅 L_p ）との関係をシミュレーションしたグラフである。なお、並列pn構造のピッチは $16\mu\text{m}$ 、不純物濃度は $3 \times 10^{15}\text{cm}^{-3}$ であり、並列pn構造の厚さは $50\mu\text{m}$ である。図11から判るように、実施例1の不純物濃度の増加による電界緩和の上に、実施例2の領域幅 L_p の拡幅による電界緩和が重畳しているため、いずれの実施例の場合に比し、E点での電界緩和の度合いが大きくなっている。

【0035】図12は本例の装置における耐圧（ BV_{ds} ）とオン抵抗（ $R_{on} \cdot A$ ）の耐圧リミッタ領域130'の不純物量依存性を示すグラフである。不純物量の増加に従い、耐圧の低下は不純物量の低変域では急峻で高変域では緩慢ないし飽和ぎみであるが、オン抵抗の増加の度合いは実施例2の場合に比して緩やかである。従って、E点での電界を下げて低オン抵抗を達成するには、耐圧リミッタ領域130'の領域幅 L_p の拡幅率を大きくせずに（望ましくは25%以下）、不純物濃度を高くすれば良い。

【0036】〔実施例4〕図13は本発明の実施例4に係る縦形MOSFETを示す断面図である。なお、図13において図9に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0037】本例の実施例3と異なる点は、耐圧リミッタ領域130''をpベース領域13のウェル底面から離して形成したところにある。耐圧リミッタ領域130''の中央部分でブレークダウンを惹き起こすが、耐圧リミッタ領域130''がゲート絶縁膜直下E点より離れているほど、ホットキャリアの注入の虞れが少なくなる。勿論、この耐圧リミッタ領域130''は仕切領域22bの

他のレベルや n^+ ドレイン層11寄りに形成しても構わず、また n^+ ドレイン層11に接触させて設けても良い。

【0038】なお、上記実施例はMOSFETの場合について説明したが、超半導体装置のショットキーバリアダイオード、IGBT、FWD、バイポーラトランジスタでも同様な効果を得られるものである。また、縦形素子に限らず、横形素子にも適用できる。並列 p n 構造部が基板の厚み方向に配列したものに限らず、基板沿面方向に配列したものや、斜め配列したものでも良い。

【0039】

【発明の効果】以上説明したように、本発明は、超接合半導体装置において素子活性領域下の並列 p n 構造が素子活性領域の第1主面側よりも先に臨界電界強度に達する耐圧リミッタ領域を有することを特徴とするものであるから、次のような効果を奏する。

【0040】(1) 第1主面直下よりも耐圧リミッタ領域の方が先に臨界電界強度に達し、ブレークダウンを惹き起こすので、第1主面直下では強電界とならず、ホットキャリアの第1主面上の絶縁膜への注入を抑制でき、高耐圧化と大電流容量化の期待できる超接合半導体装置でありながら、素子活性の特性や信頼性を持続できる。

【0041】(2) 耐圧リミッタ領域が仕切領域に形成された第2導電型領域である場合、絶縁膜へ衝突するホットキャリアを一層抑制できる。

【0042】(3) 耐圧リミッタ領域はその規模(体積)と不純物濃度との積である不純物量で規定することができ、耐圧リミッタ領域の不純物量は当該耐圧リミッタ領域に相接合するドリフト電路領域の逆導電型領域の不純物量に比し高く設定する。耐圧リミッタ領域と逆導電型領域の領域幅が等しい場合、耐圧リミッタ領域の不純濃度を逆導電型領域の不純濃度に比し高く設定すると、オン抵抗の増大を招かずに済む。

【図面の簡単な説明】

【図1】本発明の実施例1に係る縦形MOSFETを示す断面図である。

【図2】図1中のA-A'線に沿う距離に対する不純物濃度分布(破線)とB-B'線に沿う距離に対する不純物濃度分布(実線)とを示すグラフである。

【図3】図1におけるゲート絶縁膜直下E点の電界強度と耐圧リミッタ領域の不純物濃度との関係をシミュレーションしたグラフである。

【図4】実施例1の装置における耐圧(BVds)とオン抵抗($R_{on} \cdot A$)の耐圧リミッタ領域の不純物濃度依存性を示すグラフである。

【図5】本発明の実施例2に係る縦形MOSFETを示

す断面図である。

【図6】図5中のA-A'線に沿う距離に対する不純物濃度分布(破線)とC-C'線に沿う距離に対する不純物濃度分布(実線)とを示すグラフである。

【図7】図5におけるゲート絶縁膜直下E点の電界強度と耐圧リミッタ領域の領域幅 L_p との関係をシミュレーションしたグラフである。

【図8】実施例2の装置における耐圧(BVds)とオン抵抗($R_{on} \cdot A$)の耐圧リミッタ領域130の領域幅 L_p 依存性を示すグラフである。

【図9】本発明の実施例3に係る縦形MOSFETを示す断面図である。

【図10】図9中のA-A'線に沿う距離に対する不純物濃度分布(破線)とD-D'線に沿う距離に対する不純物濃度分布(実線)とを示すグラフである。

【図11】図9におけるゲート絶縁膜直下E点の電界強度と耐圧リミッタ領域(基板表面から深さ $10\mu\text{m}$ までの領域)での単位面積当たりの不純物量(不純物濃度 \times 領域幅 L_p)との関係をシミュレーションしたグラフである。

【図12】実施例3の装置における耐圧(BVds)とオン抵抗($R_{on} \cdot A$)の耐圧リミッタ領域130'の不純物量依存性を示すグラフである。

【図13】本発明の実施例4に係る縦形MOSFETを示す断面図である。

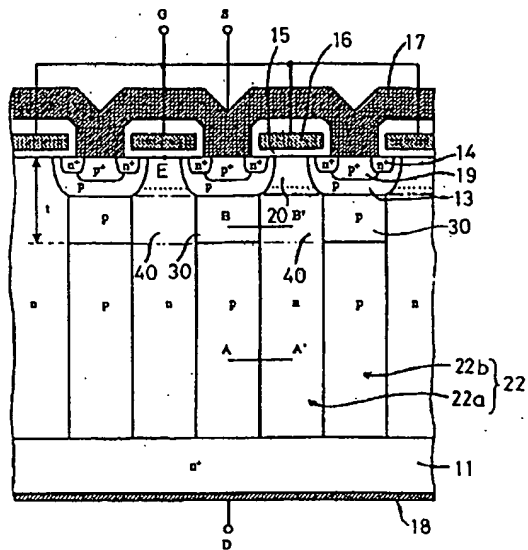
【図14】通常のプレーナ型の n チャネル縦形MOSFET(縦形二重拡散MOSFET)の断面図である。

【図15】従来の並列 p n 構造のドリフト層を持つ縦形MOSFETを示す部分断面図である。

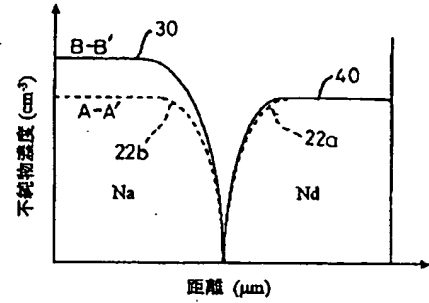
【符号の説明】

- 11... n^+ ドレイン層
- 13...高不純物濃度の p ベース領域(p ウェル)
- 14... n^+ ソース領域
- 15...ゲート絶縁膜
- 16...ゲート電極層
- 17...ソース電極
- 18...ドレイン電極
- 19... p^+ コンタクト領域
- 20...チャネル領域
- 22...並列 p n 構造のドレイン・ドリフト領域
- 22a... n 型ドリフト電路領域
- 22b... p 型仕切領域
- 30, 130, 130', 130''...耐圧リミッタ領域
- 40, 140, 140', 140''...逆導電型領域
- E...ゲート絶縁膜直下の点
- L_p ...耐圧リミッタ領域の領域幅
- L_n ...逆導電型領域の領域幅

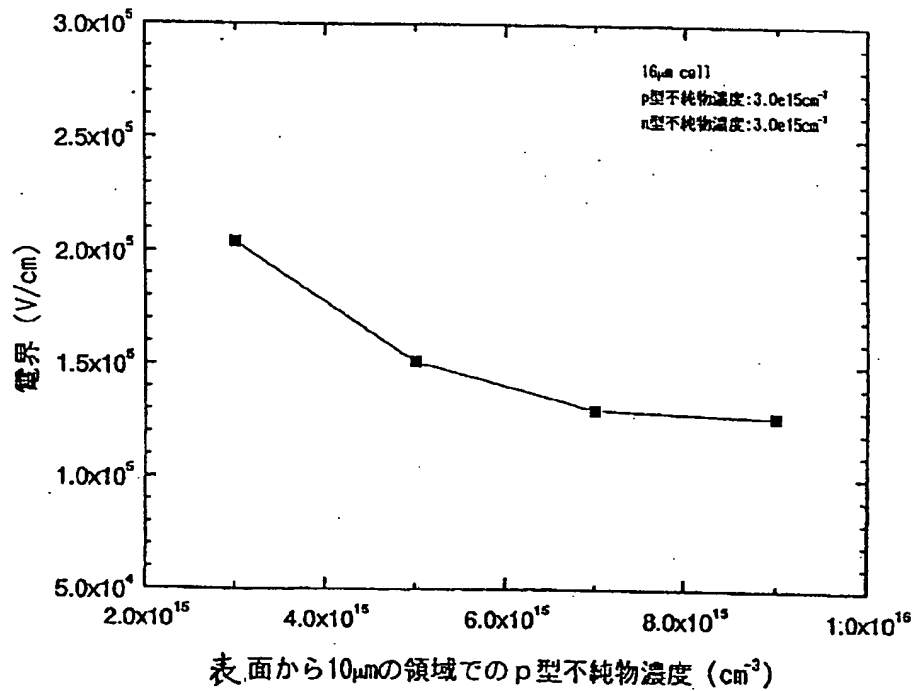
【図 1】



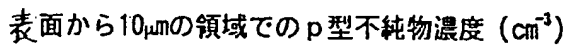
【図 2】



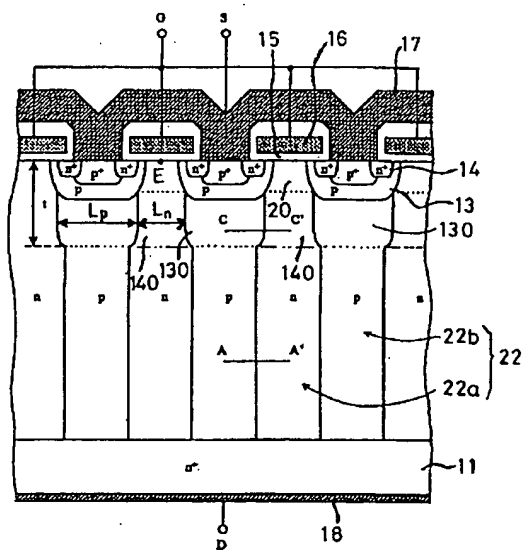
【図 3】



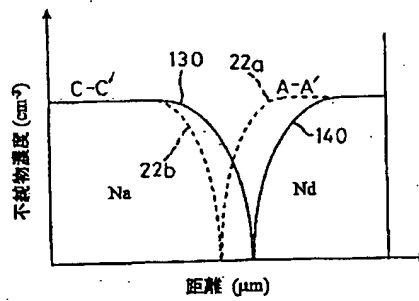
【図 4】



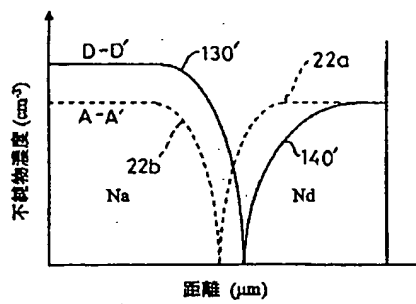
【図5】



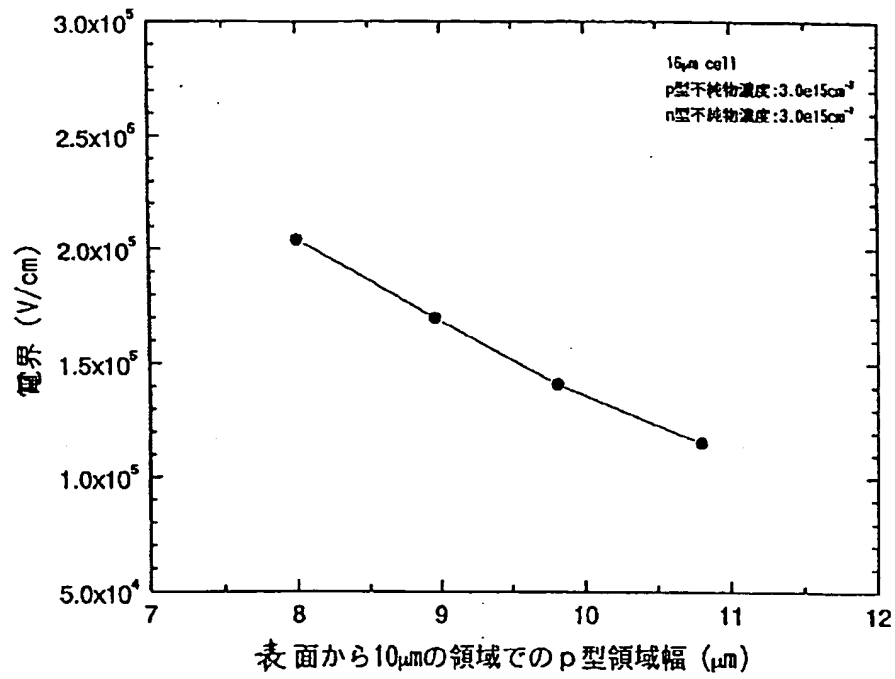
【図 6】



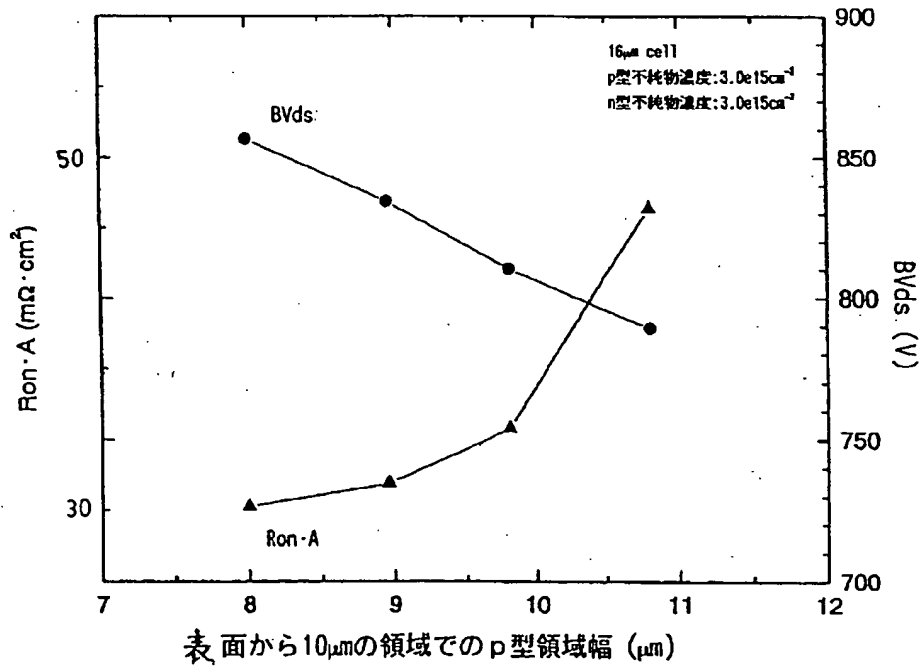
【図 10】



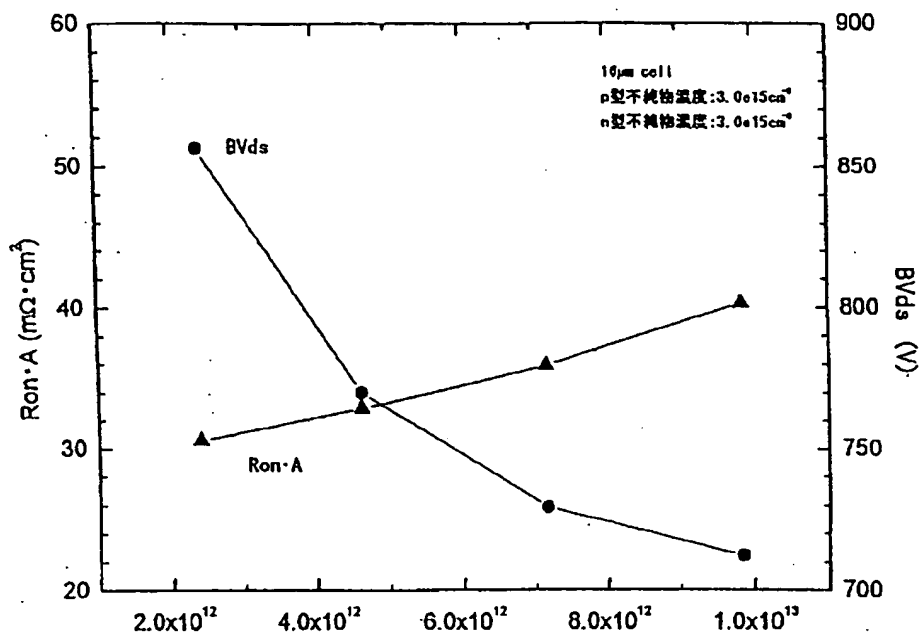
【図7】



【図8】

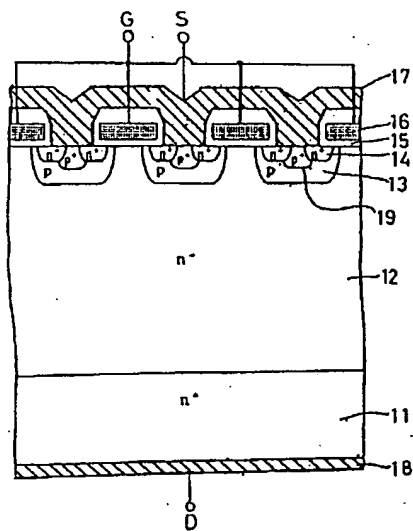


【図12】

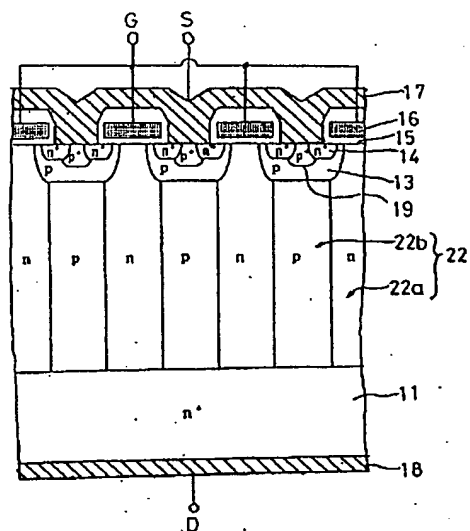


表面から10μmの領域での単位面積当たりのp型不純物量 (cm^{-2})

【図14】



【図15】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H O 1 L 29/872		H O 1 L 29/48	F
29/861		29/91	D
(72) 発明者 岩本 進		(72) 発明者 佐藤 高広	
神奈川県川崎市川崎区田辺新田 1 番 1 号		神奈川県川崎市川崎区田辺新田 1 番 1 号	
富士電機株式会社内		富士電機株式会社内	
		F ターム (参考) 4M104 CC03 FF32 GG03 HH20	

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.